



(19)

(11) Publication number: 10134581 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08289464

(51) Intl. Cl.: G11C 11/417 G11C 11/409

(22) Application date: 31.10.96

(30) Priority:

(43) Date of application publication: 22.05.98

(84) Designated contracting states:

(71) Applicant: OKI MICRO DESIGN MIYAZAKI:KK
OKI ELECTRIC IND CO LTD

(72) Inventor: SAKATA SHUNICHI

(74) Representative:

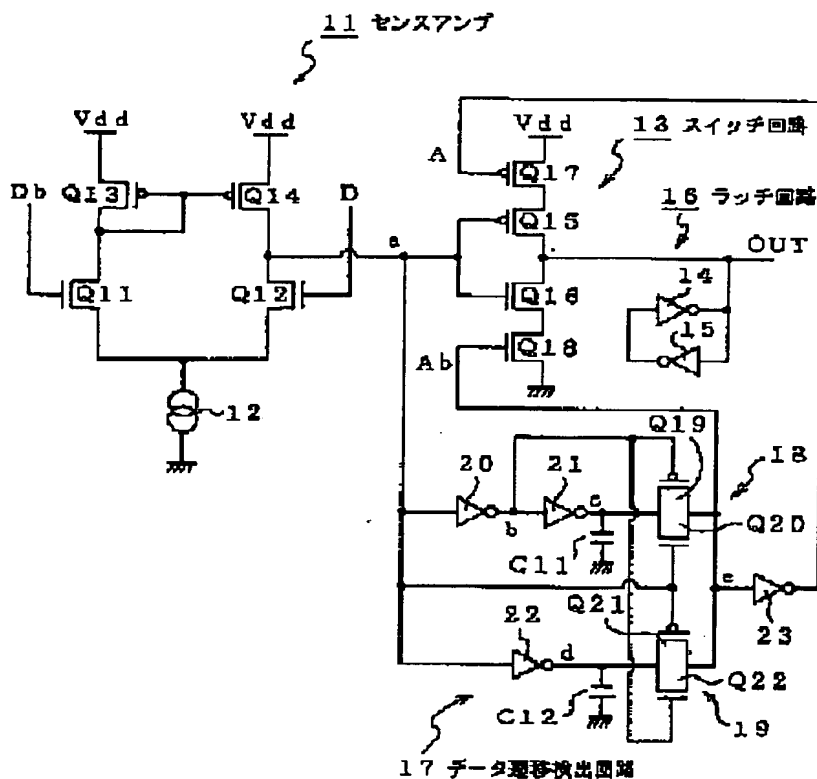
(54) READING CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the reading circuit of a semiconductor memory device which enables the compensation against a potential fluctuation caused by the sudden noises.

SOLUTION: In a reading circuit which has a compensation circuit consisting of a switching circuit 13 and a latching circuit 16, a datum transition detection circuit 7 which detects the transition of the output datum of a sensing amplifier 11 directly is provided. The ON/OFF of the switching circuit 13 is controlled in accordance with the detection output of the datum transition detection circuit 17 and, further, while the switching circuit 13 is in an OFF state, the datum which is held in the latching circuit 16 immediately before the turning off of the switching circuit 13 is transferred.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134581

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

G 1 1 C 11/417
11/409

識別記号

F I

G 1 1 C 11/34

3 0 5

3 5 4 Q

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号

特願平8-289464

(22) 出願日

平成 8 年 (1996) 10 月 31 日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎市大和町 9 番 2 号

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門 1 丁目 7 番 12 号

(72) 発明者 坂田 俊一

宮崎県宮崎市大和町 9 番 2 号 株式会社沖
マイクロデザイン宮崎内

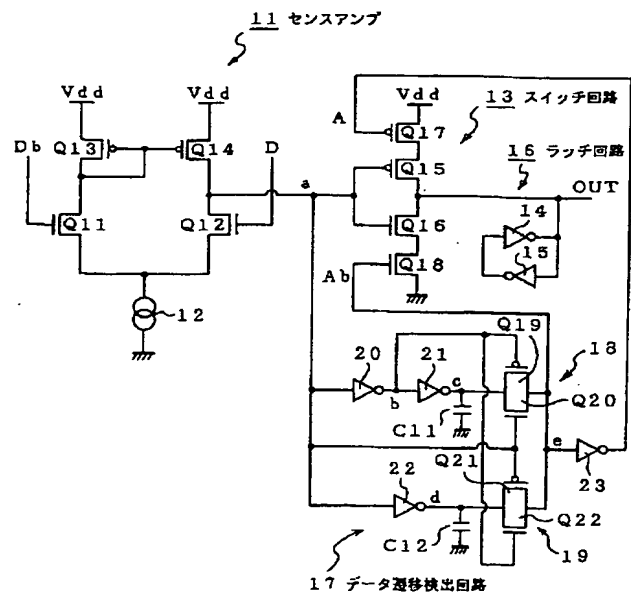
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体記憶装置の読み出し回路

(57) 【要約】

【課題】 イコライズ手段を駆動する信号に同期して出力データの電位変動の保障を行っていたので、イコライズ手段を備えたセンスアンプにしか適用できなかった。

【解決手段】 スイッチ回路 13 およびラッチ回路 16 からなる保障回路を備えた読み出し回路において、センスアンプ 11 の出力データの遷移を直接検出するデータ遷移検出回路 17 を設け、このデータ遷移検出回路 17 の検出出力に基づいてスイッチ回路 13 のオン/オフ制御を行うとともに、スイッチ回路 13 のオフ期間中はその直前にラッチ回路 16 に保持したデータを転送する。



本発明の一実施形態を示す回路図

【特許請求の範囲】

【請求項1】 メモリセルから読み出される微小信号電圧を検出して増幅するセンサンプと、前記センサンプの出力データの遷移を検出し、その検出時に一定時間だけ検出出力を発生するデータ遷移検出回路と、前記センサンプと後段の出力回路との間に設けられ、前記データ遷移検出回路の検出出力の発生期間だけオフ状態となって前記センサンプと後段の出力回路とを切り離すスイッチ回路と、前記スイッチ回路がオフ状態となる直前の前記センサンプの出力データを保持するラッチ回路とを備えたことを特徴とする半導体記憶装置の読み出し回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置の読み出し回路に関し、特にセンサンプの出力データの外乱等による電位変動を保障する回路を備えた半導体記憶装置の読み出し回路に関する。

【0002】

【従来の技術】 メモリセルからのデータの読み出し時において、センサンプの出力データが外乱等によって電位変動を生じ、誤データを出力する場合がある。かかる不具合を防止するために、センサンプと後段の出力回路との間に、出力データの電位変動時にオフ（開）状態となるスイッチ回路を設けるとともに、当該スイッチ回路がオフ状態となる直前の出力データを保持するラッチ回路を設け、スイッチ回路のオフ期間中はラッチ回路の保持データを出力することで、出力データの外乱等による電位変動を保障する保障回路を備えた半導体記憶装置の読み出し回路がある。

【0003】 この種の読み出し回路の従来例を図7に示す。図7において、センサンプ71は、ソースが共通接続された差動対のNchMOSトランジスタQ71、Q72と、これらMOSトランジスタQ71、Q72のソース共通接続点に接続された電流源72と、ゲートとドレインとが共通接続されてMOSトランジスタQ71のドレインと電源Vddとの間に接続されたPchMOSトランジスタQ73と、MOSトランジスタQ72のドレインと電源Vddとの間に接続されかつMOSトランジスタQ73とゲートが共通接続されたPchMOSトランジスタQ74とからなる差動アンプ構成となっている。

【0004】 このセンサンプ71において、差動対のMOSトランジスタQ71、Q72の各ゲートには、メモリセル（図示せず）から読み出されるデータDおよびその反転データDbが印加される。センサンプ71はこのデータD、Dbの微小電位差を検出して増幅する。そして、MOSトランジスタQ72のドレインが出力端となり、この出力端から微小信号電圧を増幅して得られ

る出力データが導出される。また、差動対のMOSトランジスタQ71、Q72の各ドレイン間には、NcnMOSトランジスタQ75が接続されている。

【0005】 このMOSトランジスタQ75は、図示せぬ回路から出力される制御信号Bが印加されることによってオン状態となり、差動対のMOSトランジスタQ71、Q72の各ドレインを短絡し、“H”レベルから“L”レベルに、または“L”レベルから“H”レベルに遷移するドレイン電位を瞬時に中間レベルにすることで、出力データの遷移速度を高速化するイコライズ手段としての作用をなす。

【0006】 センサンプ71の出力端、即ちMOSトランジスタQ72のドレインと後段の出力回路（図示せず）との間にはスイッチ回路73が設けられている。このスイッチ回路73は、通常はオン（閉）状態にあり、上記制御信号Bおよびその反転信号Bbに応じてオフ（開）状態となってセンサンプ71と後段の出力回路とを切り離し、出力データの後段の出力回路への転送を中断する。

【0007】 スイッチ回路73の出力端には、並列接続された2個のインバータ74、75からなるラッチ回路76が接続されている。このラッチ回路76は、スイッチ回路73がオフ状態となる直前のセンサンプ71の出力データを保持し、スイッチ回路73がオフ期間中は保持しているデータを出力する。このスイッチ回路73およびラッチ回路76により、出力データの外乱等による電位変動を保障する保障回路が構成されている。

【0008】 次に、上記構成の回路動作について、図8のタイミングチャートを参照しつつ説明する。

【0009】 先ず、制御信号Bが発生されるイコライズ区間においては、MOSトランジスタQ75がオン状態となり、差動対のMOSトランジスタQ71、Q72の各ドレインを短絡することで、各ドレイン電位は中間レベルとなる。これにより、MOSトランジスタQ72のドレイン出力であるセンサンプ71の出力データOUT'は、本来“L”レベルあるいは“H”レベルにあるべきイコライズ区間では中間レベルとなる。これをそのまま後段の出力回路へ転送したのでは誤データとなる。

【0010】 ところが、このイコライズ区間では、制御信号Bおよびその反転信号Bbに応答してスイッチ回路73がオフ状態となり、センサンプ71の出力データOUT'の後段の出力回路への転送を中断する。そして、ラッチ回路76の保持データ、即ちスイッチ回路73がオフ状態となる直前の出力データOUT'を出力する。これにより、最終的な出力データOUTの波形から明らかなように、イコライズ区間での出力データOUT'の電位変動が保障されるため、正常なデータを後段の出力回路に転送できることになる。

【0011】

【発明が解決しようとする課題】 しかしながら、上述し

た従来の読み出し回路においては、スイッチ回路73が制御信号Bおよびその反転信号Bbに同期して作動する構成となっているので、イコライズ手段(MOSトランジスタQ75)を備えたセンスアンプにおけるイコライズ区間での電位変動にしか適用できないという問題があった。すなわち、センスアンプ71の出力データOUT'のイコライズ区間での電位変動については保障できるものの、それ以外の電位変動、例えば突発的なノイズによる電位変動については保障できなかった。

【0012】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、突発的なノイズによる電位変動等についても保障し得る半導体記憶装置の読み出し回路を提供することにある。

【0013】

【課題を解決するための手段】本発明による半導体記憶装置の読み出し回路は、メモリセルから読み出される微小信号電圧を検出して増幅するセンスアンプと、このセンスアンプの出力データの遷移を検出し、その検出時に一定時間だけ検出出力を発生するデータ遷移検出回路と、センスアンプと後段の出力回路との間に設けられ、データ遷移検出回路の検出出力の発生期間だけオフ状態となってセンスアンプと後段の出力回路とを切り離すスイッチ回路と、このスイッチ回路がオフ状態となる直前のセンスアンプの出力データを保持するラッチ回路とを備えた構成となっている。

【0014】上記構成の読み出し回路において、データ遷移検出回路は、センスアンプの出力データの遷移を直接検出し、その検出時にスイッチ回路に対して一定時間だけ検出出力を与える。スイッチ回路は、この検出出力に応答してオフ状態となり、センスアンプと後段の出力回路とを切り離し、センスアンプの出力データを後段の出力回路に転送するのを中断する。この中断期間では、スイッチ回路がオフ状態となる直前にラッチ回路に保持されたデータが転送される。

【0015】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、本発明の一実施形態を示す回路図である。

【0016】図1において、センスアンプ11として、例えば差動アンプ構成のものが用いられている。すなわち、ソースが共通接続された差動対のNchMOSトランジスタQ11、Q12と、これらMOSトランジスタQ11、Q12のソース共通接続点に接続された電流源12と、ゲートとドレインとが共通接続されてMOSトランジスタQ11のドレインと電源Vddとの間に接続されたPchMOSトランジスタQ13と、MOSトランジスタQ12のドレインと電源Vddとの間に接続されかつMOSトランジスタQ13とゲートが共通接続されたPchMOSトランジスタQ14とから構成されている。

【0017】このセンスアンプ11において、差動対のMOSトランジスタQ12、Q11の各ゲートには、メモリセル(図示せず)から読み出されるデータDおよびその反転データDbが印加される。センスアンプ11は、このデータD、Dbの微小電位差を検出して増幅する。そして、MOSトランジスタQ72のドレインがセンスアンプ11の出力端Oとなり、この出力端Oから出力データが導出される。このセンスアンプ11の出力端O、即ちMOSトランジスタQ12のドレインと後段の出力回路(図示せず)との間にはスイッチ回路13が設けられている。

【0018】このスイッチ回路13は、各ゲートがMOSトランジスタQ12のドレインに共通に接続されて入力端となり、かつ各ドレインが共通接続されて出力端となるPchMOSトランジスタQ15およびNchMOSトランジスタQ16と、MOSトランジスタQ16のソースと電源Vddとの間に接続されたPchMOSトランジスタQ17と、MOSトランジスタQ15のソースとグランドとの間に接続されたNchMOSトランジスタQ18とから構成されている。そして、MOSトランジスタQ17、Q18の各ゲートには、後述する制御信号Aおよびその反転信号Abが印加される。

【0019】スイッチ回路13の出力端、すなわちMOSトランジスタQ15、Q16のドレイン共通接続点には、並列接続された2個のインバータ14、15からなるラッチ回路16が接続されている。このラッチ回路16は、スイッチ回路13がオフ状態となる直前のセンスアンプ11の出力データを保持し、スイッチ回路13がオフ期間中は保持しているデータを出力する。このスイッチ回路13およびラッチ回路16により、出力データの外乱等による電位変動を保障する保障回路が構成されている。

【0020】センスアンプ11の出力端(MOSトランジスタQ12のドレイン)Oにはさらに、センスアンプ11の出力データが“H”レベルから“L”レベルへ、または“L”レベルから“H”レベルへ遷移したことを検出するデータ遷移検出回路17が接続されている。このデータ遷移検出回路17の構成の一例について、以下に説明する。

【0021】PchMOSトランジスタQ19およびNchMOSトランジスタQ20が並列接続されてトランスファゲート18を、同様にPchMOSトランジスタQ21およびNchMOSトランジスタQ22が並列接続されてトランスファゲート19をそれぞれ構成している。そして、センスアンプ11の出力端(ノード)Oとトランスファゲート18の入力端との間には、2個のインバータ20、21が縦続接続され、2段目のインバータ21の出力端とグランドとの間にはコンデンサC11が接続されている。

【0022】さらに、センスアンプ11の出力端Oとト

ランスファゲート19の入力端との間にはインバータ22が接続され、その出力端とグランドとの間にはコンデンサC12が接続されている。MOSトランジスタQ19およびMOSトランジスタQ22の各ゲートは、インバータ20の出力端に共通に接続されている。また、MOSトランジスタQ20およびMOSトランジスタQ21の各ゲートは、センスアンプ11の出力端Oに共通に接続されている。

【0023】トランスファゲート18、19の各出力端は共通に接続され、その共通接続点にはインバータ23の入力端が接続されている。そして、このインバータ23の出力端からは先述した制御信号Aが出力され、スイッチ回路13のMOSトランジスタQ17のゲートに印加される。また、インバータ23の入力は、制御信号Aの反転信号Abとしてスイッチ回路13のMOSトランジスタQ18のゲートに印加される。

【0024】ここで、上記構成のデータ遷移検出回路17の回路動作について、図2のタイミングチャートを参照しつつ説明する。なお、図2において、aはセンスアンプ11の出力、bはインバータ20の出力、cはインバータ21の出力、dはインバータ22の出力、eは制御信号Aの反転信号Abの各波形を示している。

【0025】先ず、センスアンプ11の出力aが“L”レベルの状態では、インバータ20の出力bが“H”レベル、インバータ21の出力cが“L”レベル、インバータ22の出力dが“H”レベルにある。これにより、MOSトランジスタQ21、Q22がオン状態にあるため、インバータ22の“H”レベルの出力dがトランスファゲート19を通過し、よって制御信号（反転信号）Abは“H”レベルとなる。

【0026】次に、センスアンプ11の出力aが“L”レベルから“H”レベルへ遷移すると、MOSトランジスタQ21がオフ状態、MOSトランジスタQ20がオン状態となるが、インバータ20の出力bが引き続き“H”レベルにあり、MOSトランジスタQ22がオン状態にあるため、制御信号Abは“H”レベル状態を維持する。

【0027】センスアンプ11の出力aが“L”レベルから“H”レベルへ遷移してから一定時間t11が経過すると、インバータ20、22の各出力b、dが“H”レベルから“L”レベルへ遷移する。この遷移により、MOSトランジスタQ22がオフ状態、MOSトランジスタQ19がオン状態となるため、インバータ21の“L”レベルの出力cがトランスファゲート18を通過し、よって制御信号Abは“L”レベルとなる。ここで、上記一定時間t11は、インバータ1個分の遅延時間である。

【0028】インバータ20、22の各出力b、dが“H”レベルから“L”レベルへ遷移してから一定時間t12が経過すると、インバータ21の出力cが“L”

レベルから“H”レベルへ遷移する。このとき、MOSトランジスタQ19、Q20がオン状態にあるため、インバータ21の“H”レベルの出力cがトランスファゲート18を通過し、よって制御信号Abは“L”レベルから“H”レベルへ遷移する。ここで、上記一定時間t12は、インバータ21およびコンデンサC11による時定数回路の時定数によって決まる時間である。

【0029】このようにして、データ遷移検出回路17は、センスアンプ11の出力データaが“L”レベルから“H”レベルへ、または“H”レベルから“L”レベルへ遷移したことを直接検出し、その検出時に一定時間t12だけ検出出力を、図1のスイッチ回路13の制御信号Aおよびその反転信号Abとして発生する。

【0030】次に、このデータ遷移検出回路17を用いた本実施形態に係る読み出し回路の回路動作について、図3のタイミングチャートを参照しつつ説明する。なお、図3において、①はメモリセル（図示せず）から読み出されたデータD、Db、②はセンスアンプ11の出力データOUT'、③は制御信号Aの反転信号Ab、④は最終的な出力データOUTの各波形を示している。

【0031】先ず、メモリセルから読み出されたデータD、Dbは微小信号電圧であり、その電位差は微小であるため、ノイズ等の影響を強く受け易く、特にデータ遷移時は不安定である。十分に時間が経過すれば安定状態となるが、センスアンプ11の出力端Oの状態によっては、出力データOUTは“H”レベルあるいは“L”レベルに定まらない状態となる。

【0032】ここで、センスアンプ11の出力データOUT'が“L”レベルから“H”レベル、または“H”レベルから“L”レベルへ遷移すると、これをデータ遷移検出回路17が検出し、その検出時に一定時間だけ制御信号Aおよびその反転信号Abを発生する。すると、この制御信号Aおよびその反転信号Abに応答してそれまでオン（閉）状態にあったスイッチ回路13がオフ

（開）状態となり、センスアンプ11と後段の出力回路とを切り離す。

【0033】これにより、データ遷移時に不安定な状態にあるセンスアンプ11の出力データOUT'は、後段の出力回路へは転送されない。このとき、ラッチ回路16には、スイッチ回路13がオフ状態となる直前のデータが保持されており、この保持データがセンスアンプ11の不安定な出力データOUT'に代えて後段の出力回路に転送されることになる。そして、微小電位差が定常になり、制御信号Aおよびその反転信号Abが消滅すると、出力ラッチ区間が終了し、スイッチ回路13が再びオン状態となってセンスアンプ11の正しい出力データOUT'を後段の出力回路へ転送する。

【0034】上述したように、スイッチ回路13およびラッチ回路16からなる保障回路を備えた読み出し回路において、センスアンプ11の出力データOUT'の遷

移を直接検出するデータ遷移検出回路17を設け、このデータ遷移検出回路17の検出出力に基づいてスイッチ回路13のオン/オフ制御を行うようにしたことにより、突発的なノイズによる電位変動を保障できるとともに、微小電位差のバウンド時に起こり得るセンスアンプ11の出力データOUT'の誤出力を確実に防止することができる。

【0035】図4は、データ遷移検出回路17の構成の他の例を示すブロック図である。図4において、縦続接続された4個のインバータ31~34と、同様に縦続接続された3個のインバータ35~37が設けられ、各1段目のインバータ31、35の各入力端がセンスアンプ11の出力端Oに接続される。一方のインバータ段の1段目の出力と4段目の出力はNORゲート38の2入力となる。また、センスアンプ11の出力データと他方のインバータ段の3段目の出力はNORゲート39の2入力となる。NORゲート38、39の各出力は、NORゲート40の2入力となる。NORゲート40の出力は反転信号Abとなり、さらにインバータ41で反転されて制御信号Aとなる。

【0036】上記構成のデータ遷移検出回路17における各部の波形を図5のタイミングチャートに示す。同図において、aはセンスアンプ11の出力、b、c、d、eはインバータ31、32、33、34の各出力、f、g、hはインバータ35、36、37の各出力、i、jはNORゲート38、39の各出力、kはNORゲート40の出力である制御信号(反転信号)Abの各波形を示している。

【0037】このデータ遷移検出回路17においては、出力aの“L”レベルから“H”レベルへの遷移タイミングから出力b、fの“H”レベルから“L”レベルへの遷移タイミングまでの時間がインバータ1個分の遅延時間に相当し、制御信号(反転信号)Abの“L”レベルの期間、即ち出力ラッチ区間はインバータの段数によって決まる。

【0038】このように、全て論理ゲートを用いて構成したデータ遷移検出回路17によれば、トランスファゲートを用いた先の例のデータ遷移検出回路17に比較して、安定した回路動作が得られる。

【0039】図6は、後段の出力回路の構成の一例を示す回路図である。図6において、正電源Vddと負電源Vssとの間に、PchMOSトランジスタQ31およびNchMOSトランジスタQ32が直列に接続されている。MOSトランジスタQ31のゲートにはNANDゲート51の出力端が、MOSトランジスタQ32のゲートにNORゲート52の出力端がそれぞれ接続されて

いる。

【0040】NANDゲート51は図1の出力データOUTを一方の入力とするとともに、先述した制御信号(反転信号)Abを他方の入力とする。NORゲート52は、該出力データOUTを一方の入力とするとともに、先述した制御信号Aを他方の入力とする。そして、MOSトランジスタQ31、Q32のドレイン共通接続点が回路出力端となり、この回路出力端から最終的な出力データDoutが導出される。

10 【0041】このように、出力回路において、制御信号Aおよびその反転信号Abを用いて出力データDoutを一旦高インピーダンスの状態にすることにより、出力データDoutの貫通電流を低減させることも可能となる。

【0042】

【発明の効果】以上説明したように、本発明によれば、センスアンプの出力データの外乱等による電位変動を保障する回路を備えた半導体記憶装置の読み出し回路において、センスアンプの出力データの遷移を直接検出する
20 データ遷移検出回路を設け、このデータ遷移検出回路の検出出力に基づいて保障動作を行うようにしたことにより、突発的なノイズによる電位変動を保障できるとともに、微小電位差のバウンド時に起こり得るセンスアンプの出力データの誤出力を確実に防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す回路図である。

【図2】データ遷移検出回路の一例の回路動作を説明するためのタイミングチャートである。

30 【図3】本発明に係る読み出し回路の回路動作を説明するためのタイミングチャートである。

【図4】データ遷移検出回路の構成の他の例を示すブロック図である。

【図5】データ遷移検出回路の他の例の回路動作を説明するためのタイミングチャートである。

【図6】出力回路の構成の一例を示すブロック図である。

【図7】従来例を示す回路図である。

【図8】従来例の回路動作を説明するためのタイミングチャートである。

40 【符号の説明】

11 センスアンプ

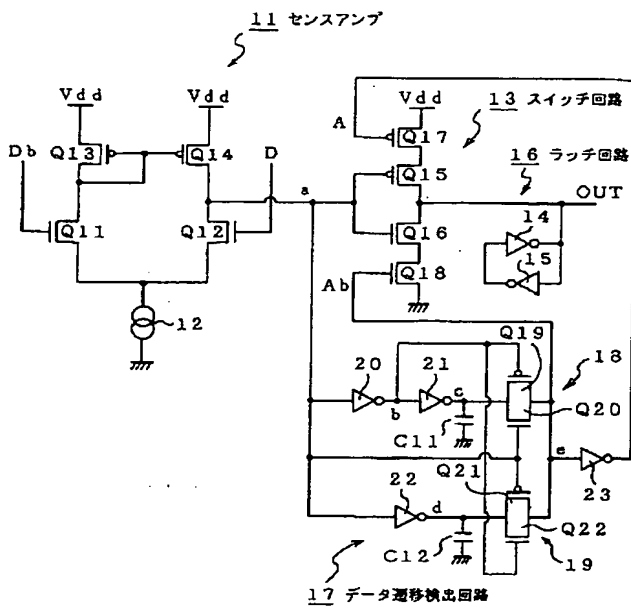
13 スイッチ回路

16 ラッチ回路

17 データ遷移検出回路

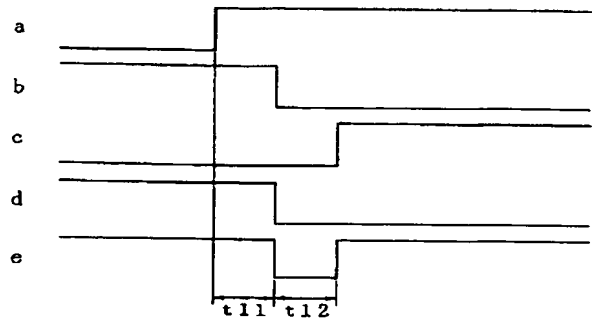
18, 19 トランスファゲート

【図1】



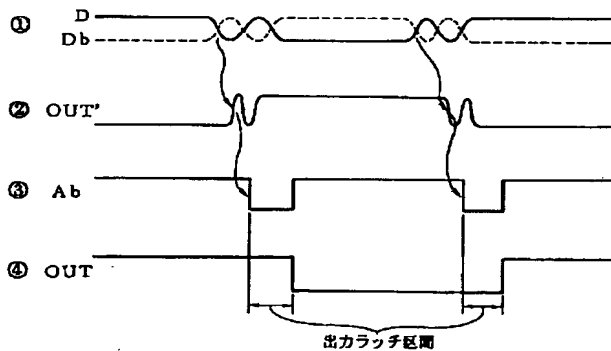
本発明の一実施形態を示す回路図

【図2】



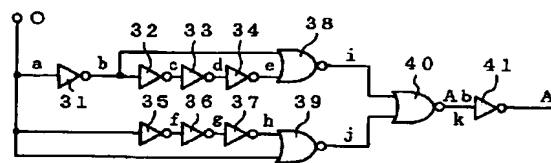
データ遷移検出回路の一例の動作説明のタイミングチャート

【図3】



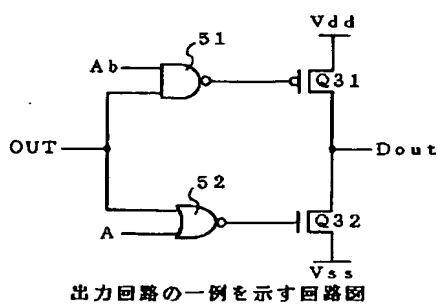
本発明に係る読み出し回路の動作説明のタイミングチャート

【図4】



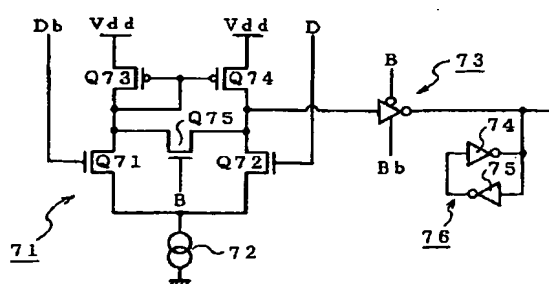
データ遷移検出回路の他の例を示すブロック図

【図6】



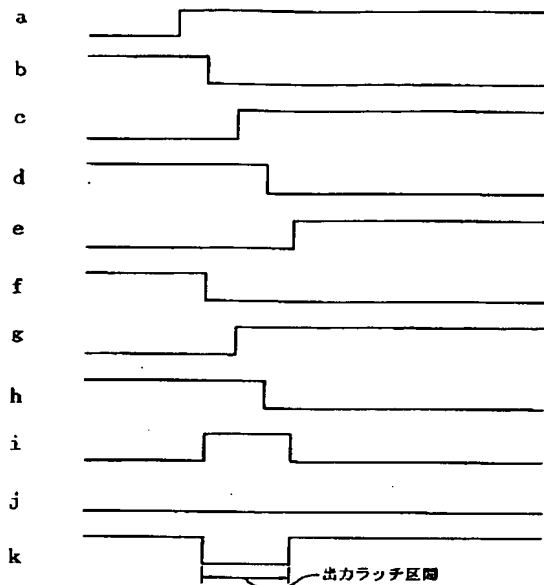
出力回路の一例を示す回路図

【図7】



従来例を示す回路図

【図5】



データ遷移検出回路の他の例の動作説明のタイミングチャート

【図8】

